

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-080962

(43)Date of publication of application : 21.04.1988

(51)Int.Cl.

H04N 1/393

(21)Application number : 61-236269

(71)Applicant : FUJI XEROX CO LTD

(22)Date of filing : 06.10.1986

(72)Inventor : YAMAMOTO SUSUMU

## (54) IMAGE REDUCING CIRCUIT

### (57)Abstract:

PURPOSE: To obtain a satisfactorily reduced image by a simple circuit constitution, by determining a signal state by a decision of majority based on picture information of a three-picture element portion, in case of producing the picture information of a one-element portion from the picture information of a two-picture element or three-picture element portion.

CONSTITUTION: When a picture element which becomes an object of reduction consists of two picture elements, it becomes three picture elements by adding one adjacent picture element one picture element of them, and with regard to these picture elements a decision by majority of picture information is executed. That is to say, when the decision by majority is executed by a group of two picture elements each, four picture elements of the right side become a 'draw', and with regard to the picture element 2 which has been changed, a signal state cannot be determined. Therefore, as for such a picture element, a decision by majority is executed with regard to total three picture elements which added one adjacent element and they become picture elements after a change. In this case, even if the decision by majority is executed suddenly with regard to the three picture elements, the same result is obtained. In this way, a collapse of an image and an omission of picture information are minimized, and a satisfactorily reduced image can be obtained.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑤ 公開特許公報(A)

昭63-90962

⑥ Int. Cl.<sup>4</sup>

H 04 N 1/393

識別記号

庁内整理番号

7170-5C

⑦ 公開 昭和63年(1988)4月21日

審査請求 未請求 発明の数 2 (全7頁)

⑧ 発明の名称 画像縮小回路

⑨ 特 願 昭61-236269

⑩ 出 願 昭61(1986)10月5日

⑪ 発 明 者 山 本 進 埼玉県岩槻市大字岩槻1275番地 富士ゼロックス株式会社  
岩槻事業所内

⑫ 出 願 人 富士ゼロックス株式会 東京都港区赤坂3丁目3番5号  
社

⑬ 代 理 人 弁理士 山内 梅雄

明 細 書

1. 発明の名称

画像縮小回路

2. 特許請求の範囲

1. 各ラインを構成する画素の各々が2値の信号状態のいずれかをとり、画像の縮小率に応じて前記画素の総数を減少させる処理を行う画像処理装置において、画素の数の減少処理を行う箇所を指定する画素処理箇所指定手段と、この画素処理箇所指定手段によって指定された箇所の連続したN個の画素をこれより少ないM個の画素に変換する際、複数の連続した画素を1画素に減少させる1または複数の組み合わせでこれを実現することにし、それぞれについて多数決でその1画素の信号状態を決定する画素変換手段とを具備することを特徴とする画像縮小回路。

2. 画素変換手段は隣接した2画素を1画素に変換する際、前記2画素のいずれかと隣接する1画素を加えた3画素を用いて多数決により変更後の1画素の信号状態を決定することを特徴とする特許請求の範囲第1項記載の画像縮小回路。

3. 各ラインを構成する画素の各々が2値の信

号状態のいずれかをとり、画像の縮小率に応じて前記画素の総数を減少させる処理を行う画像処理装置において、画素の数の減少処理を行う箇所を指定する画素処理箇所指定手段と、この画素処理箇所指定手段によって指定された箇所の連続したN個の画素をこれより少ないM個の画素に変換する際、複数の連続した画素を1画素に減少させる1または複数の組み合わせでこれを実現することにし、それぞれについて多数決でその1画素の信号状態を決定する画素変換手段とを具備することを特徴とする画像縮小回路。

4. 画素変換手段は連続した奇数個の画素を1画素に変換する際にはこの奇数個の画素の信号状態について多数決をとり、偶数個の画素を1画素に変換する際には、それらの画素のいずれかと隣接する他の1画素を加えた画素の信号状態について多数決をとることを特徴とする特許請求の範囲第3項記載の画像縮小回路。

5. 多数決をとる画素変換手段は、一部の画素号を同数ずつの互いに反対の状態の信号に強制制

## 特開昭63-90862 (2)

に固定させることによって、多数決の対象となる画素数の数を真実的に変更させることを特徴とする特許請求の範囲第4項記載の画像縮小回路。

### 3. 発明の詳細な説明

#### 「背景上の利用分野」

本発明はフタツミリ変換や画像縮小回路における場合のように、イメージスキャナで読み取った画像信号等を基にして画像の縮小を行う画像縮小回路に関する。

#### 「従来の技術」

例えばCCD(Charge Coupled Devices)等の読取素子を用いて、ラインずつ画像の読み取りを行う画像読取装置では、画像の出力を行う増幅回路との関係で画像の縮小を行うことがある。ライン方向(走査線方向)について画像数を減少させるために、従来の技術からいくつかの方法が存在した。設定された画素を3画素(50%)に減少させる場合を例にとり、これを説明する。なお、ライン方向に50%よりも低くても画像の縮小を行う場合には、この50%の縮小の対象となる画素の割合を適宜

減少させればよい。

ところで第1図に示した方法では、1個の画素1を1つ画素に削除して、3個の画素2に変更する。ここで白は白色(充電)の画素を意味しており、黒は黒色(印字される後)の画素を意味している。

これに対して第2図に示した方法では、1個の画素を併接する2画素ずつのグループに分け、これら2画素ずつの画素和をもって3個の画素2に換換する。

#### 「発明が解決しようとする課題」

ところが従来の方法では、第2図に示した例によると黒の画素が白の画素よりも倍の数を残したものが、変換後にはその関係が逆転している。すなわち、この方法では画素和に画素の割合を行うので、増幅回路が欠陥を発生してしまうという問題がある。

従来の文書では、白の画素に対して黒の画素の占める割合が少ない。そこで黒の画素の種類をなるべく失わないようにしようとする考えがあり、第

3図に示した方法はこの考えに基づいたものである。ところが第3図に示した例からも分かるように、この方法では黒の画素に換された白の画素が脱落するおそれがあり、画像にずれが発生する危険性がある。

そこで、本発明の第1の目的は、画像になるべくずれが発生することなく、2画素ないしは3画素を1画素に換換することのできる画像縮小回路を提供することにある。

また本発明の第2の目的は、例えば7画素から4画素を換して3画素に換換するような場合には、画素数の欠落を最小限に抑えることのできる画像縮小回路を提供することにある。

#### 「問題点を解決するための手段」

第1の目的を達成するために第1の発明の画像縮小回路では、縮小の対象となる画素が2画素であった場合には、いずれかの画素に換換した1画素を加えて3画素とし、これらの画素について画素和の多数決を取る。縮小の対象となる画素の数が3画素のときには、これに1画素を加えること

なく、多数決をとればよい。

第1図はこの第1の発明を説明するためのものであり、第2図に対応するものである。彼等が換わした2画素ずつのグループで多数決を採ると、右側の4つの画素については「引き分け」となり、変換後の画素2については得票数を決定することができない。そこで、このような画素については併接する1画素を加えた合計3画素について多数決をとり、変換後の画素とする。この例の場合、3画素についていかなる多数決を取っても同じ結果が得られる。

同様に第2図は第3図に対応したものである。第3図に示した一番左側とその右側の画素1、1に対する変換後の画素2は、多数決で示した左側に存在する画素の得票数によって白の画素か黒の画素のいずれかに決定されることになる。

次に第2の目的を達成するために第2の発明における画像縮小回路には、(1)画素の数の減少処理を行う箇所を指定する画素処理箇所指定手段と、(2)この画素処理箇所指定手段によって指

## 特開明63-00882 (3)

定された値の逆転したN個の要素をこれより少ないM個の要素に取換する際、複数の連続した面素を1個素に減少させる1または複数の組み合わせでこれを表現することにし、それぞれについて多数決でその1個素の信号状態を決定する面素多数決手段と異動させる。そして逆転した複数個の要素から1個素を選択する際には前記した多数決の原理を用いることにする。

例えば第3図に示すように1個の面素1を3個の面素3に取換する場合には、3個の面素を1個の面素に減少させる方法を2個と、4個の面素を1個の面素に減少させる方法を1個採用し、それぞれについて多数決をとる。奇数個の面素については多数決で素に1個素の信号状態を決定できるが、偶数個の場合にはこれが決定できない場合がある。第3図に示した4個の面素の場合がそれである。このような場合には、これらの面素のグループに所属する一方の面素を加えた多数個の面素について多数決をとる。第3図に示した例では、左側に所属した白丸の面素一つを加え、取換後の

面素3を出力とした。

このように本発明によれば、面素の入れや面素間の欠落を最小限にし、良好な画素像を画素することが出来る。

「実施例」

以下実施例につき本発明を詳細に説明する。

「第1の実施例」

第4図は第1の実施例を説明するためのもので、本発明の第1の実施例における面素用小回路の要部を抜いたものである。この面素用小回路で入力端子11に供給される面素信号12は第1のD・フリップフロップ13の入力端子D<sub>1</sub>に供給される。第1のD・フリップフロップ13の出力端子Q<sub>1</sub>は第2のD・フリップフロップ14の入力端子D<sub>2</sub>に接続され、第2のD・フリップフロップ14の出力端子Q<sub>2</sub>は第3のD・フリップフロップ15の入力端子D<sub>3</sub>に接続されている。それぞれD・フリップフロップ13～15の出力端子Q<sub>1</sub>、～Q<sub>3</sub>は多数決回路16の3つの入力となる。またこれらのD・フリップフロップ13～15の

クロック入力端子CKには、他の入力端子17に供給されたクロック信号18が入力されるようになっている。従って、面素信号12はクロック信号18に同期して面素信号D・フリップフロップ13～15にシフトされて取り込まれ、3個素分の信号状態が多数決回路16に供給されることになる。

一方、クロック信号18はインバート回路19で逆転を被転されてカウンタ回路21に供給される。このカウンタ回路21には、更に他の入力端子22に供給される面素信号面素信号23が入力される。カウンタ回路21は面素信号面素信号23の指定に随ってクロック信号18を計数し、計数値データ24をシーケンサ回路25に供給する。シーケンサ回路25は例えばROM（リード・オンリ・メモリ）によって構成されており、面素信号面素信号23と計数値データ24とをアドレス情報として3個素の制御信号の読み出しを行う。すなわち、カウンタ回路25はカウンタ回路21のタイマを行う。また面素信号面素信号21はダ

ータセレクタ28に供給されて、出力端子Q<sub>1</sub>から出力される面素信号29と多数決回路16から出力される多数決信号31との選択が行われる。シーケンサ回路25から出力されるクロック制御信号32は、2入力AND回路33に供給され、クロック信号18と論理和がとられる。

以上の結果として、データセレクタ28からは面素信号面素信号34が出力され、AND回路33からはこの面素信号34を転送するための出力クロック信号35が出力される。2つの出力端子36、37に現われたこれらの信号24、35は、例えば表示しないブリンクに供給され、そのバックグラウンドに蓄えられたもの、1ラインずつ記録されることになる。

第5図は、以上のような構成の面素用小回路の動作例を説明するためのものである。図面5は第3図で入力端子11に供給されたクロック信号18の発生タイミングを抜いている。3つのD・フリップフロップ13～15の出力端子Q<sub>1</sub>、～Q<sub>3</sub>からは、第3図に示したように1面素



## 特開昭63-30962 (B)

組み合わせとすることができ、

すなわちこの実施例の場合には、先の第3図に示したようにまず3面分を1面分に縮小するような制御が行われる。このとき、縮小指示信号76はこのような制御内容を示す信号となる。この結果、シーケンス回路75はクロック信号63を3面分カウンタする時点でHレベルの入力クロックマスタ信号79-1を発生させ(第7図)、この区間だけクロック信号63をクロック信号62-1(第7図)として出力させることになる。このとき、面1号は3面分についての多数決が行われる。そこで、そのタイミングで、5面分固定信号78(第7図H)がHレベルに転化し、第4および第5のD・フリップフロップ60、61の出力が固定され、3つの面信号64-66(第7図1〜3)の多数決がとられる。ここで出力が固定されたとは、それらの出力(この場合は面信号64、65)がHレベルとLレベルに同数ずつ分かれ、多数決に影響を与えないことをいう。多数決をとられた結果としての面信号

81-1(第7図K)は、出力端子54から出力されることになる。

次の4面分については、縮小指示信号76が4面分から1面分を構成するような指示を与える。この結果、シーケンス回路75はクロック信号63を4面分カウンタする時点でHレベルの入力クロックマスタ信号79-2を発生させ、この区間だけクロック信号63をクロック信号62-2として出力させることになる。このとき、面信号は4面分について3面分を足した5面分についての多数決が行われる。これは、多数決の面数で引き分けが行われる事態を回避するためである。

この多数決が行われるときも、5面分固定信号78はLレベルになっている。従って、第4および第5のD・フリップフロップ60、61の出力は固定されず、3つの面信号64-66の多数決がとられる。多数決をとられた結果としての面信号81-2は、出力端子54から出力される。

最後の3面分については、先の3面分と同様の制御が行われ、面信号81-3とクロック信号81-3がそれぞれ出力されることになる。

なお、1ラインで縮小処理の行われない面分では、2、3面分固定信号77とは共にHレベルとなり、多数決は否定される。すなわちこのときには常に2面分がHレベル、後の2面分がLレベルに固定され、面信号81の信号状態がその主要多数決面69の出力する面信号81となる。このようにこの第2の実施例ではq/pが3/1の場合に例に挙げて説明したが、これはライン方向で最大3/1の縮小が行われることを意味するものであり、このような処理を行う割合を低減させれば、縮小率をこれよりも緩やかな範囲で何何何にも決定することができる。

図1および第2の実施例ではD・フリップフロップ回路を用いて面信号の縮小処理を行ったが、シフトレジスタを用いたりランダム・アクセス・メモリ等の他の回路素子を用いても同様の処理を行うことができる。また第1の実施例では3

面分について縮小時に多数決を行ったが、2面分を1面分に縮小する場合には、この2面分を1面分の信号状態を決定することができない場合のみ1面分の面信号を加え、1面分について多数決を行うようにしてもよい。

## 「発明の効果」

このように第1の実例によれば、2面分あるいは3面分の面信号から1面分の面信号を構成する際に3面分の面信号を逐次多数決で信号状態を決定したので、比較的低率な面信号減速で良好な縮小面像を得ることができる。

また第2の実例によれば、縮小率の自由度が増し、しかも縮小の面率から1面分を構成する際に多数決の原理を適用したので、劣化信号の欠陥が少なくなり、屈裂の良好な面像を得ることができる。

しかも、いずれの実例においても面の面率から面の縮小に転化する点のように面信号の転化する部分を一々抽出しながら面像処理を行う処理方法と比べるとハードウェアが格段に簡単となり、

## 特開昭63-90962 (6)

処理のための時間が短縮されるという効果もある。  
 4. 図面の簡単な説明

第1図および第2図は第1の発明における多数決演算をそれぞれ説明するための説明図、第3図は第2発明における多数決原理を説明するための説明図、第4図は第1の発明を説明するための第1の実施例における面法排小回路の構成を示すブロック図、第5図はこの第1の実施例における各回路の動作を示すタイミング図、第6図は2画素から1画素ずつ強制的に削除して画像の縮小を行う従来の方法を示す説明図、第7図は2画素の信号処理の原理をとって画像の縮小を行う従来の方法を示す説明図である。

- 1……(排小処理部)の面法、  
 2、3……(排小処理部)の面法、  
 12、34、56、81……面法、  
 14、65……多数決回路、

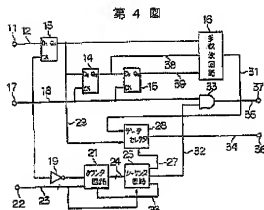
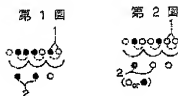
- 18、63……クロック信号、  
 23……演算回路、  
 25、75……シグナル線、  
 28……ゲート回路、  
 33、71……ナンド回路、  
 75……排小信号線、  
 77……2、3画素位置信号、  
 78……4、5画素位置信号。

出 発 人

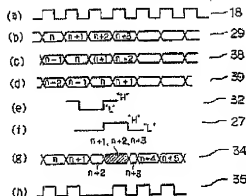
富士ゼロックス株式会社

代 理 人

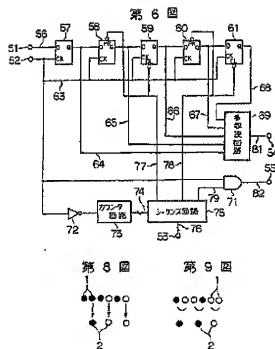
弁護士 山内 南 雄



第 5 図



特開昭63-60962 (7)



第 7 図

